

INPI

INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

29 AUG 2003

WIPO

PCT

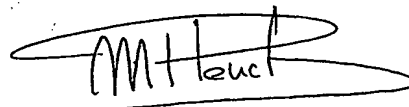
Best Available Copy

**BREVET D'INVENTION****CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION****COPIE OFFICIELLE**

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le **20 MARS 2003**

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets



Martine PLANCHE

**PRIORITY  
DOCUMENT**

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint Petersburg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
www.inpi.fr



INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

3 bis, rue de Saint Pétersbourg

75008 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

# BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle Livre VI



N° 11354\*01

REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 W / 260899

REMISE DES PIÈCES

DATE

31 JUL 2002

75 INPI PARIS

N° D'ENREGISTREMENT

NATIONAL ATTRIBUÉ PAR L'INPI

0259743

DATE DE DÉPÔT ATTRIBUÉE

PAR L'INPI

31 JUL 2002

Vos références pour ce dossier

(facultatif) PHFR020083

**5. NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE  
À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE**

Philippe GATEPIN  
Société Civile S.P.I.D.  
156 Bd Haussmann  
75008 PARIS

Confirmation d'un dépôt par télécopie

☐ N° attribué par l'INPI à la télécopie

**2. NATURE DE LA DEMANDE**

Cochez l'une des 4 cases suivantes

Demande de brevet

☒

Demande de certificat d'utilité

☐

Demande divisionnaire

☐

*Demande de brevet initiale*

N°

Date / /

*ou demande de certificat d'utilité initiale*

N°

Date / /

Transformation d'une demande de  
brevet européen *Demande de brevet initiale*

☐  
N°

Date / /

**3. TITRE DE L'INVENTION (200 caractères ou espaces maximum)**

Convertisseur numérique-analogique comprenant des moyens pour améliorer la linéarité de conversion.

**4. DÉCLARATION DE PRIORITÉ  
OU REQUÊTE DU BÉNÉFICE DE  
LA DATE DE DÉPÔT D'UNE  
DEMANDE ANTÉRIEURE FRANÇAISE**

Pays ou organisation

Date / /

N°

Pays ou organisation

Date / /

N°

Pays ou organisation

Date / /

N°

☐ S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»

**5. DEMANDEUR**

☐ S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»

Nom ou dénomination sociale

KONINKLIJKE PHILIPS ELECTRONICS N.V.

Prénoms

Forme juridique

Société de droit Neerlandais

N° SIREN

Code APE-NAF

Adresse

Rue

Groenewoudseweg 1

Code postal et ville

5621 BA EINDHOVEN

Pays

PAYS-BAS


Nationalité

Néerlandaise

N° de téléphone (facultatif)

N° de télécopie (facultatif)

Adresse électronique (facultatif)

REMISE DES PIÈCES DATE LIEU: 31 JUIL 2002 75 INPI PARIS N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI 0209748		Réservé à l'INPI		DB 540 W / 260399	
Vos références pour ce dossier : (facultatif)			PHFR020083		
<b>6 MANDATAIRE</b>					
Nom			GATEPIN		
Prénom			Philippe		
Cabinet ou Société			S.P.I.D.		
N° de pouvoir permanent et/ou de lien contractuel			07036 pouvoir particulier 10473		
Adresse	Rue		156 Bd Haussmann		
	Code postal et ville		75008	PARIS	
N° de téléphone (facultatif)			01 40 76 80 30		
N° de télécopie (facultatif)					
Adresse électronique (facultatif)					
<b>7 INVENTEUR (S)</b>					
Les inventeurs sont les demandeurs			<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée		
<b>8 RAPPORT DE RECHERCHE</b>			Uniquement pour une demande de brevet (y compris division et transformation)		
Établissement immédiat ou établissement différé			<input checked="" type="checkbox"/> <input type="checkbox"/>		
Paiement échelonné de la redevance			Paiement en trois versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non		
<b>9 RÉDUCTION DU TAUX DES REDEVANCES</b>			Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :		
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes					
<b>10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE</b> (Nom et qualité du signataire) P. GATEPIN Mandataire SPID 422-5/S008				<b>VISA DE LA PRÉFECTURE OU DE L'INPI</b>  MME BLANCANEUX	

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

## **DOMAINE DE L'INVENTION**

L'invention concerne un convertisseur numérique-analogique pour convertir une valeur numérique en une grandeur analogique, ledit convertisseur comprenant des sources de courant commutées en fonction de ladite valeur numérique pour générer un courant de sortie reflétant la valeur de ladite grandeur analogique.

L'invention a notamment de nombreuses applications dans les convertisseurs numérique-analogique ayant une architecture de type thermométrique ou segmentée.

## **ARRIERE PLAN TECHNOLOGIQUE DE L'INVENTION**

Certaines architectures de convertisseurs numérique-analogiques sont basées sur la commutation d'un certain nombre de sources de courant dans une charge de sortie. Par exemple, le nombre de sources de courant commutées simultanément dans un convertisseur ayant une architecture de type thermométrique ou segmentée est égal à la valeur numérique d'entrée à convertir.

La Fig.1 représente un commutateur de type connu utilisé dans un convertisseur numérique-analogique pour faire débiter une source de courant  $I$  dans une charge de sortie  $R$ . Ce commutateur consiste en une structure différentielle comprenant des transistors bipolaires TA et TB commandés par un signal de commande  $U_c$  déduit de la valeur numérique à convertir. La fonction de ce commutateur est donc équivalente à un interrupteur SW commandé par le signal de commande  $U_c$ .

Lorsque les transistors de commutation TA-TB sont commutés, l'effet Early qui se manifeste au niveau des transistors doit être pris en compte pour modéliser au mieux les caractéristiques dynamiques du commutateur. A basse fréquence, l'effet Early se manifeste sous la forme d'une résistance  $R_p$  appelée résistance d'Early, de valeur élevée et constante entre le collecteur et l'émetteur des transistors. A plus haute fréquence, des effets capacitifs parasites du commutateur (capacités de jonction dans les transistors TA-TB, capacités d'interconnexion entre les éléments constituant le commutateur équivalentes à une capacité  $C_p$  mise en parallèle sur la source de courant  $I$ ) se manifestent par une impédance de valeur décroissante avec la fréquence. L'effet Early combiné aux effets capacitifs parasites sont donc équivalents à une impédance parasite  $Z$  ayant les caractéristiques d'un filtre passe-bas comme représenté à la Fig.2. Cette impédance parasite détériore la linéarité de la conversion numérique-analogique.

Il est connu des solutions pour limiter la non-linéarité des convertisseurs numérique-analogiques mettant en œuvre des sources de courant commutées et présentant une résistance d'Early. En particulier, il est possible d'insérer entre chaque source de courant et les transistors

de commutation, un étage additionnel de type cascode de façon à augmenter l'impédance du commutateur vue depuis sa sortie.

5 Ces moyens pour améliorer la linéarité des convertisseurs numérique-analogiques présentent cependant des limitations.

10 En effet, cette solution connue implique d'associer autant de circuits additionnels que de commutateurs. Une alimentation pouvant débiter un courant important devient nécessaire pour alimenter ces circuits additionnels, ce qui augmente la taille du convertisseur et rend difficile son intégration dans un circuit intégré.

De plus, les effets parasites de ces nombreux circuits additionnels perturbent le fonctionnement d'ensemble du convertisseur.

Enfin, l'ajout de ces nombreux circuits additionnels augmentent le coût ces convertisseurs numérique-analogiques.

15

#### **RESUME DE L'INVENTION**

20 L'invention a pour but de proposer une solution économique pour améliorer la non-linéarité des convertisseurs numériques-analogiques comprenant des sources de courant commutées.

Pour cela, l'invention est remarquable en ce que le convertisseur comprend des moyens de génération d'un courant de correction additionné au dit courant de sortie, ledit courant de correction comprenant une composante proportionnelle au carré dudit courant de sortie.

25

30 Les moyens de génération permettent de compenser le courant de fuite dans l'impédance parasite vue depuis la sortie du convertisseur, l'impédance parasite correspondant ici à la mise en parallèle des résistances d'Early de chaque commutateur. Pour cela, un courant de correction d'amplitude égale et de sens opposé au courant de fuite circulant dans l'impédance parasite est réinjecté à la sortie du convertisseur. Le courant de fuite étant proportionnel au carré du nombre de sources de courant commutées, le courant de correction est avantageusement obtenu à partir du carré du potentiel de sortie du convertisseur. Ainsi, la résistance de charge connectée à la sortie du convertisseur est parcourue par la somme totale des courants délivrées par les sources de courant commutées. Les effets liés à la résistance d'Early sont donc annulés, ce qui garantit la linéarité du convertisseur numérique-analogique. En d'autres termes, la tension aux bornes de la résistance de charge devient proportionnelle à la valeur numérique à convertir. Pour une fréquence double de la fréquence du signal

35

numérique, c'est à dire sur la seconde harmonique, le gain en décibel du convertisseur numérique-analogique est fortement amélioré.

Contrairement à l'art antérieur, un seul dispositif de correction est nécessaire pour corriger l'effet cumulé de la résistance d'Early de chaque commutateur. Une telle solution conduit donc à un faible encombrement, et est de faible coût.

La correction du courant de fuite tient compte du nombre des sources de courant commutées si bien que la linéarité du convertisseur est améliorée sur toute sa dynamique de conversion.

L'invention est aussi remarquable en ce que le convertisseur comprend un étage différentiel amplificateur situé en amont desdits moyens de génération, ledit étage atténuateur délivrant aux dits moyens de génération un signal de sortie proportionnel à ladite grandeur analogique.

Cet étage permet d'ajuster la fraction du courant à réinjecter à la sortie du convertisseur pour compenser exactement le courant de fuite circulant dans l'impédance parasite. Sa structure différentielle permet d'améliorer le taux de réjection de mode commun.

L'invention est aussi remarquable en ce que l'étage différentiel amplificateur du convertisseur comprend un élément capacitif pour augmenter le facteur d'amplification en fonction de la fréquence.

Cet élément capacitif disposé sur les entrées de l'étage différentiel amplificateur permet de faire varier le gain en fréquence de cet étage de façon à compenser la diminution de l'impédance parasite en fonction de la fréquence. Un courant de correction d'amplitude plus forte sera donc réinjecté à la sortie du convertisseur pour les fréquences élevées. La linéarité du convertisseur est donc garantie non seulement aux basses fréquences mais également aux hautes fréquences.

L'invention est aussi remarquable en ce que le convertisseur comprend une cellule de Gilbert pour générer ledit courant de correction.

Ce choix d'implémentation permet de générer un faible courant de correction à partir d'un signal de tension de relativement forte amplitude. Le courant de correction généré à la sortie de la cellule de Gilbert permet donc de compenser de façon précise le courant de fuite à la sortie du convertisseur, ce qui contribue pleinement à améliorer la linéarité du convertisseur numérique-analogique.

L'invention concerne également un circuit intégré comprenant un convertisseur numérique-analogique ayant les caractéristiques précédemment décrites.

### **BREVE DESCRIPTIONS DES DESSINS**

Ces aspects de l'invention ainsi que d'autres aspects plus détaillés apparaîtront plus clairement grâce à la description suivante, faite en regard des dessins ci-annexés, le tout donné à titre d'exemple non limitatif, dans lesquels :

La figure 1 décrit un commutateur pour source de courant utilisé dans un convertisseur numérique-analogique,

La figure 2 représente l'évolution de l'impédance parasite d'un commutateur en fonction de la fréquence,

La figure 3 représente le schéma de principe selon l'invention pour corriger la non-linéarité d'un convertisseur numérique-analogique utilisant des sources de courant commutées,

La figure 4 représente le schéma d'un convertisseur numérique-analogique connu utilisant des sources de courant commutées,

La figure 5 représente le schéma équivalent d'un convertisseur numérique-analogique connu utilisant des sources de courant commutées,

La figure 6 représente un mode de réalisation selon l'invention pour corriger la non-linéarité d'un convertisseur numérique-analogique utilisant des sources de courant commutées.

### **DESCRIPTION DE MODES DE REALISATION DE L'INVENTION**

La figure 2 représente l'évolution du module de l'impédance parasite  $Z$  d'un commutateur pour source de courant en fonction de la fréquence. Cette impédance parasite  $Z$  est préjudiciable puisqu'elle détériore la linéarité de la conversion numérique-analogique dans la mesure où le courant des sources de courant est dévié dans cette impédance et ne traverse pas intégralement la résistance de charge  $R$ .

Dans le schéma de la Fig.1, lorsque l'impédance parasite est de type résistif, elle correspond à la mise en parallèle des résistances d'Early des  $K$  sources de courant commutées. On montre que :

$$V_{out} = (Z.VCC)/(R+Z) - R.Z/(R+Z) I_{out} \quad \text{Eq.1}$$

où  $I_{out}$  est la somme des courants commutés par les  $K$  sources de courant commutées suivant la valeur numérique  $K$  à convertir. Chaque source de courant débitant un courant  $I_0$ , on a donc :

$$I_{out} = K.I_0 \quad \text{Eq.2}$$

Les variations  $\Delta V_{out}$  de la tension  $V_{out}$  en fonction des variations  $\Delta I_{out}$  du courant  $I_{out}$ , en valeur absolue et pour  $K$  donné, s'écrivent :

$$\Delta V_{out} = R.Z/(R+Z) \Delta I_{out} \quad \text{Eq.3}$$

La non-linéarité de la conversion provient du terme  $R.Z/(R+Z)$  dont la valeur évolue en fonction de la valeur de l'impédance  $Z$ , la valeur de cette étant fonction de la valeur  $K$  à convertir. En effet, lorsque plusieurs sources de courant sont commutées simultanément, l'impédance  $Z$  résulte de la mise en parallèle des  $K$  impédances parasites  $Z_u$  des sources de courant. On a donc :

$$Z = Z_u / K$$

L'Eq.3 s'écrit donc :

$$\Delta V_{out} = K.I_0.R.[1/(1 + \alpha.K)] \quad \text{Eq.4}$$

où  $\alpha = R/Z_u$   
(avec  $R \ll Z_u$ )

Le développement limité d'ordre un de  $[1/(1 + \alpha.K)]$  étant égal à  $(1 - \alpha.K)$ , l'Eq.4 devient :

$$\Delta V_{out} \approx R.(I_0.K - \alpha.I_0.K^2) \quad \text{Eq.5}$$

L'Eq.5 met en évidence la présence d'un terme en  $K^2$  qui est à l'origine de la non-linéarité de la conversion.

20

La figure 3 représente le schéma de principe selon l'invention pour corriger la non-linéarité d'un convertisseur numérique-analogique utilisant des sources de courant commutées.

Le principe de l'invention est de réinjecter à la sortie  $V_{out}$  du convertisseur numérique-analogique un courant de correction  $I_{cor} = \alpha.I_0.K^2$  pour compenser le courant de fuite dans l'impédance parasite  $Z$ . Ce courant de correction  $I_{cor}$  est généré en prélevant tout d'abord une fraction des variations du potentiel  $V_{out}$  à la sortie du convertisseur numérique-analogique par un étage d'amplification 301. Ensuite, compte tenu que dans Eq.5,  $(I_0.K) \gg (\alpha.I_0.K^2)$ , élever au carré cette fraction de signal par un multiplicateur analogique 302 permet de générer une grandeur de sortie comprenant principalement une composante de signal proportionnelle à  $K^2$ . Le coefficient de valeur constante  $\alpha.I_0$  est ajusté en réglant le gain de l'étage amplificateur. L'addition du courant de correction  $I_{cor}$  au courant de sortie du convertisseur permet donc de compenser le courant de fuite dans l'impédance parasite  $Z$ . Ainsi, la résistance de charge  $R$  est traversée par un courant de valeur  $(I_0.K)$ , ce qui garantit la linéarité de la conversion numérique-analogique.

35

Lorsque la grandeur analogique de sortie  $V_{out1}$  diminue, davantage de sources de courant débitent dans la charge de sortie. Ainsi, l'impédance  $Z$  résulte de la mise en parallèle d'un plus grand nombre de résistances d'Early  $Z_u$ , ce qui fait diminuer la valeur de l'impédance



Z. Un courant  $I_{cor}$  de plus grande valeur est donc nécessaire pour compenser le courant de fuite dans l'impédance Z.

Inversement lorsque la grandeur analogique de sortie  $V_{out1}$  augmente, moins de sources de courant débitent dans la charge de sortie. Ainsi, l'impédance Z résulte de la mise en parallèle d'un nombre plus faible de résistances d'Early  $Z_u$ , ce qui fait augmenter la valeur de l'impédance Z. Un courant  $I_{cor}$  de plus faible valeur est donc nécessaire pour compenser le courant de fuite dans l'impédance Z.

La figure 4 représente le schéma d'un convertisseur numérique-analogique connu de type thermométrique utilisant un nombre de sources de courant commutées égal à  $S_{max}$ , pour convertir le mot binaire d'entrée K en une grandeur analogique de sortie  $V_{out1}$  (et  $V_{out2}$ ).

Ce convertisseur comprend un module de décodage DEC pour transformer le mot binaire K en un signal de sortie  $U_c$  permettant de commander la fermeture des sources de courants  $I_0$ . En particulier, un mot binaire de valeur K sera transformé en un signal de sortie  $U_c$  ayant les K premiers bits au niveau haut, et les  $(S_{max} - K)$  autres bits au niveau bas.

Ce convertisseur comprend un nombre de commutateurs  $SW_i$  commandées par le signal de sortie  $U_c$  égal à  $S_{max}$ . Chacun de ces commutateurs permet de délivrer un courant de valeur  $I_0$  dans une charge de sortie  $R_{load1}$  (et  $R_{load2}$ ). Compte tenu de l'impédance parasite  $Z_1$  (ou  $Z_2$ ), la grandeur de sortie  $V_{out1}$  est décrite par Eq.5.

Il est à remarquer que la sortie  $V_{out2}$  est la sortie complémentaire de la sortie  $V_{out1}$  car pour un mot binaire K, la charge de sortie  $R_{load2}$  est traversée par un nombre de sources de courants égal à  $(S_{max} - K)$ , si l'impédance parasite  $Z_2$  résultant de la commutation des  $(S_{max} - K)$  sources de courants n'est pas prise en compte.

Le schéma équivalent de ce convertisseur numérique-analogique est représenté à la figure 5.

La figure 6 représente un mode de réalisation selon l'invention pour corriger la non-linéarité d'un convertisseur numérique-analogique tel que présenté aux Fig.4 et Fig.5.

Il comprend un étage différentiel amplificateur AMP permettant de prélever une fraction  $U_{diff}$  du signal de sortie  $V_{out1}$ . De façon avantageuse, pour améliorer le taux de réjection de mode commun, cette fraction de signal est obtenue au moyen de l'étage amplificateur AMP en prélevant une fraction de la différence entre le signal  $V_{out1}$  et le signal  $V_{out2}$ . L'étage amplificateur correspond à une paire différentielle comprenant les transistors T1 et T2, les résistances de collecteur  $R_C$ , une résistance d'émetteur  $R_E$ , ainsi que deux sources de courants S1 et S2. Les transistors T1 et T2 reçoivent respectivement sur leur base les signaux

$V_{out1}$  et  $V_{out2}$ . La fraction  $U_{diff}$  du signal prélevé est ajustée en fonction du rapport  $R_C / R_E$ . Le signal  $U_{diff}$  est disponible sur les collecteurs des transistors T1 et T2.

5 Ce mode de réalisation comprend aussi une cellule de Gilbert référencée GIL basée sur une structure différentielle connue en elle-même de l'homme du métier. Cette structure comprend les transistors T3-T4-T5-T6-T7-T8, les résistances de linéarisation R1-R2-R3-R4-R5-R6, une source de courant S3 de polarisation, et des sources de tension de polarisation VP1-VP2 pour polariser les transistors T7-T8 et effectuer un décalage vers le bas de la tension d'entrée  $U_{diff}$ . Cette cellule de Gilbert reçoit le signal  $U_{diff}$  pour élever ce dernier au carré afin de délivrer le courant de correction  $I_{cor}$ .

10 Les variations du courant de correction  $I_{cor}$  comprenant une composante principalement proportionnelle à  $\Delta V_{out}^2$ , compte tenu de Eq.5, les variations du courant de correction  $I_{cor}$  sont aussi proportionnelles à  $K^2$ . Le courant de correction  $I_{cor}$  est généré sur le collecteur du transistor T6, ledit collecteur étant destiné à être relié à la sortie  $V_{out1}$  du convertisseur numérique-analogique.

15 Ainsi, la linéarité de la sortie  $V_{out1}$  du convertisseur numérique-analogique est assurée.

20 La figure 7 représente un mode de réalisation particulier selon l'invention pour corriger la non-linéarité d'un convertisseur numérique-analogique tel que présenté aux Fig.4 et Fig.5.

Ce convertisseur reprend les caractéristiques du mode de réalisation décrit à la Fig.6 à la différence que l'étage différentiel amplificateur comprend une capacité additionnelle C placée entre les émetteurs des transistors T1-T2.

25 Cette capacité disposée sur les entrées de l'étage différentiel permet de faire varier le gain en fréquence de cet étage de façon à compenser la diminution de l'impédance parasite lorsque la fréquence augmente. Cette correction permet de compenser les effets liés aux capacités parasites de jonction et d'interconnexion entre les éléments constituant les commutateurs. Pour les fréquences élevées, un courant de correction  $I_{cor}$  de plus forte d'amplitude est donc injecté à la sortie du convertisseur.

30

L'invention concerne également un circuit intégré comprenant un convertisseur numérique-analogique ayant les caractéristiques précédemment décrites.

35 Un tel convertisseur peut avantageusement être mis en œuvre dans une station de base de téléphonie mobile pour convertir en analogique des données numériques à transmettre, via un émetteur, vers des téléphones portables. De telles données à transmettre pouvant notamment être de type audio, vidéo ou image.

Seule la correction de linéarité de la sortie  $V_{out_1}$  a été décrite. Cependant, de façon similaire et sans sortir du cadre de l'invention, cette même correction pourrait être faite sur la sortie complémentaire  $V_{out_2}$ .

- 5 L'invention a été décrite en mettant en œuvre une cellule de Gilbert pour générer une fonction carré d'un signal d'entrée. Cependant, l'invention ne se limite pas à cette seule cellule et d'autres circuits permettant d'élever au carré un signal pourraient être mis en œuvre sans sortir du cadre de l'invention.

**REVENDICATIONS**

1. Convertisseur numérique-analogique pour convertir une valeur numérique en une grandeur analogique, ledit convertisseur comprenant des sources de courant commutées en fonction de ladite valeur numérique pour générer un courant de sortie reflétant la valeur de ladite grandeur analogique, convertisseur **caractérisé en ce qu'il** comprend des moyens de génération d'un courant de correction additionné au dit courant de sortie, ledit courant de correction comprenant une composante proportionnelle au carré dudit courant de sortie.  
5
2. Convertisseur selon la revendication 1 **caractérisé en ce qu'il** comprend un étage différentiel amplificateur situé en amont desdits moyens de génération, ledit étage atténuateur délivrant aux dits moyens de génération un signal de sortie proportionnel à ladite grandeur analogique.  
10
3. Convertisseur selon la revendication 2 **caractérisé en ce que** l'étage différentiel amplificateur comprend un élément capacitif pour augmenter le facteur d'amplification en fonction de la fréquence.  
15
4. Convertisseur selon l'une des revendications 1 à 3 **caractérisé en ce que** les moyens de génération comprennent une cellule de Gilbert pour générer ledit courant de correction.  
20
5. Circuit intégré comprenant un convertisseur numérique-analogique pour convertir une valeur numérique en une grandeur analogique, ledit convertisseur comprenant des sources de courant commutées en fonction de ladite valeur numérique pour générer un courant de sortie reflétant la valeur de ladite grandeur analogique, circuit intégré **caractérisé en ce que** le convertisseur comprend des moyens de génération d'un courant de correction additionné au dit courant de sortie, ledit courant de correction comprenant une composante proportionnelle au carré dudit courant de sortie.  
25

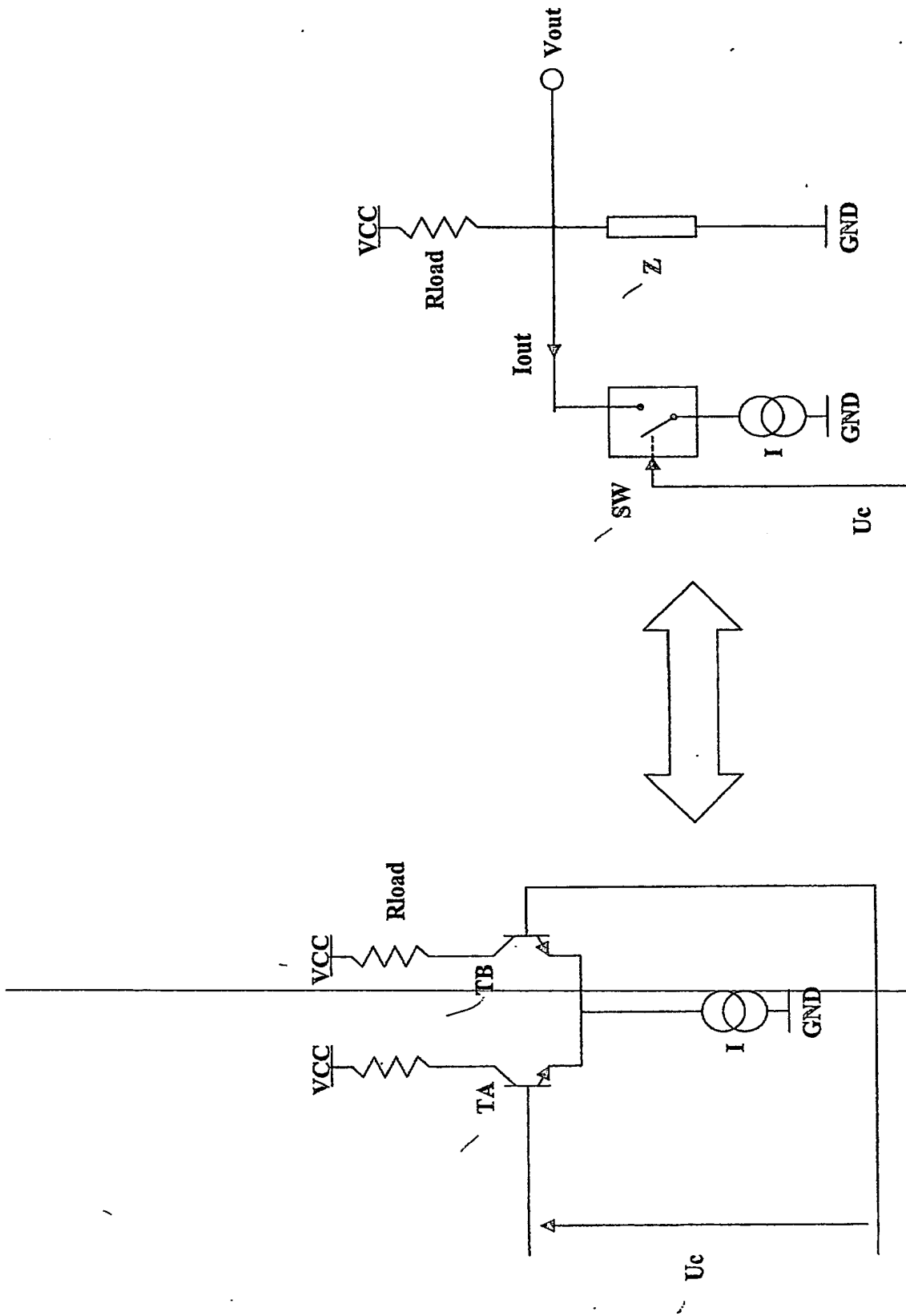


FIG.1

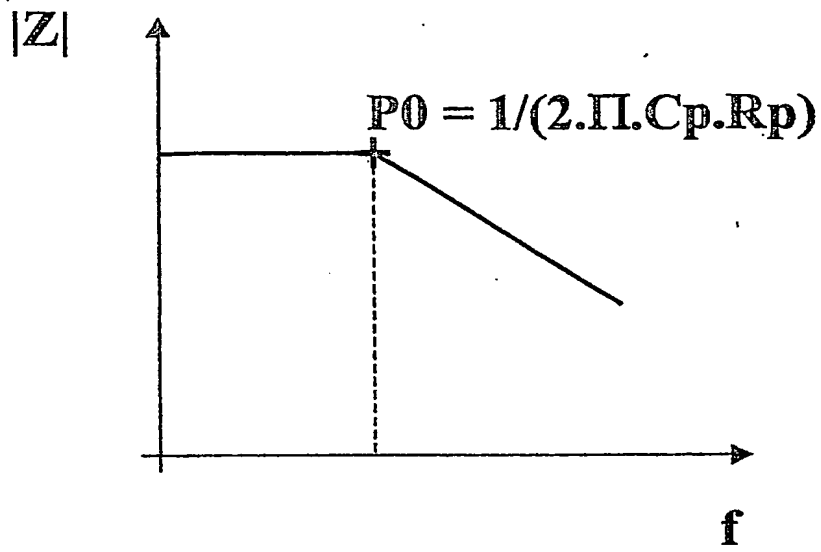


FIG.2

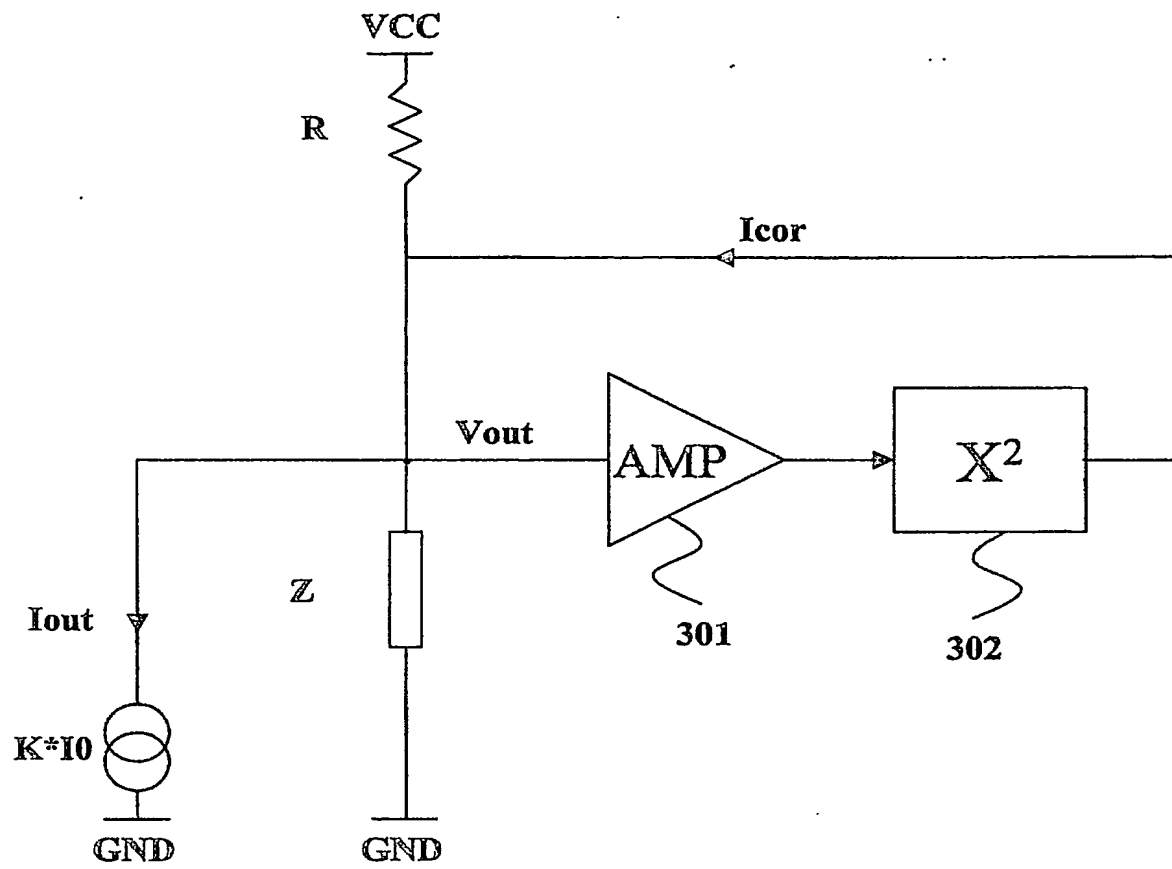
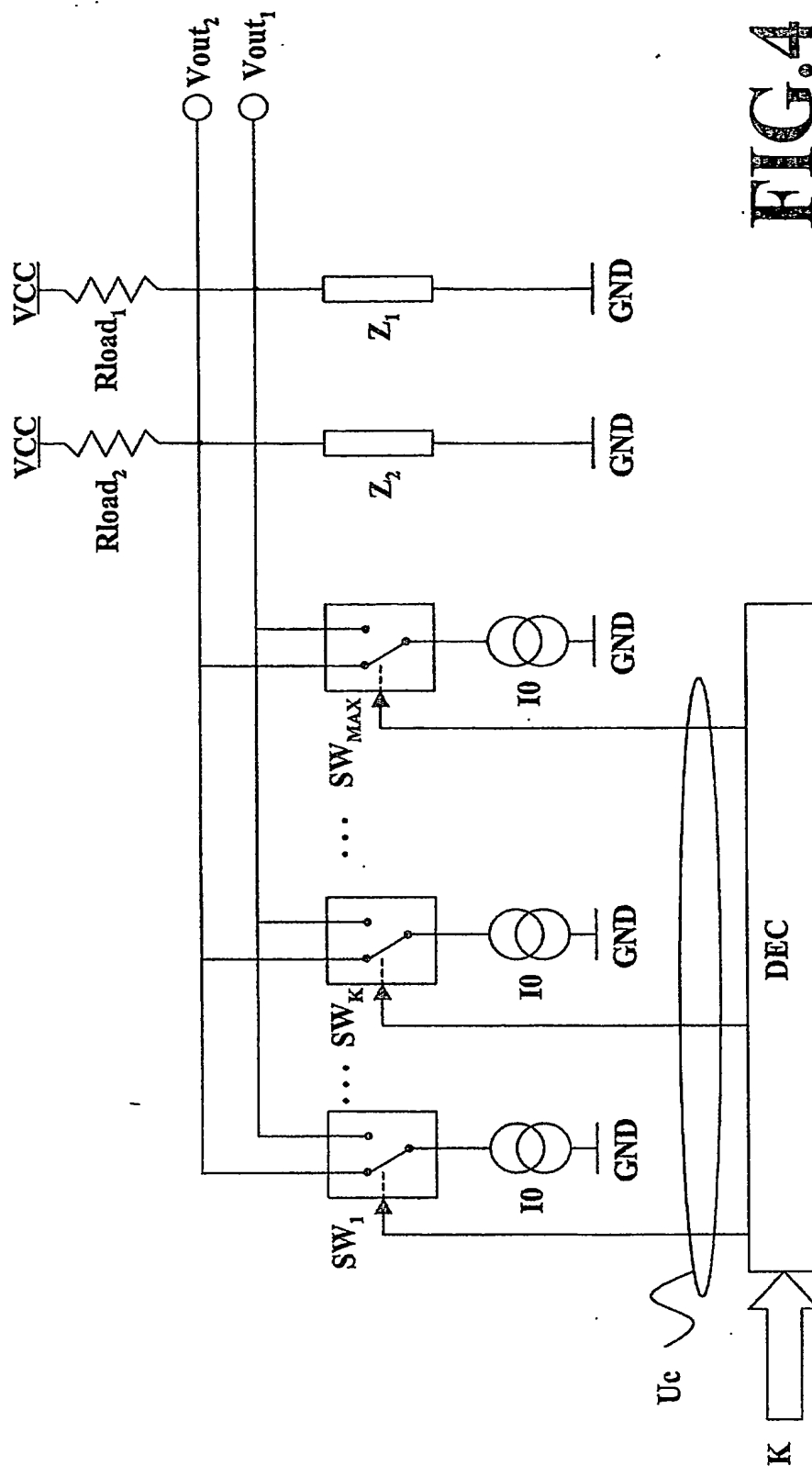


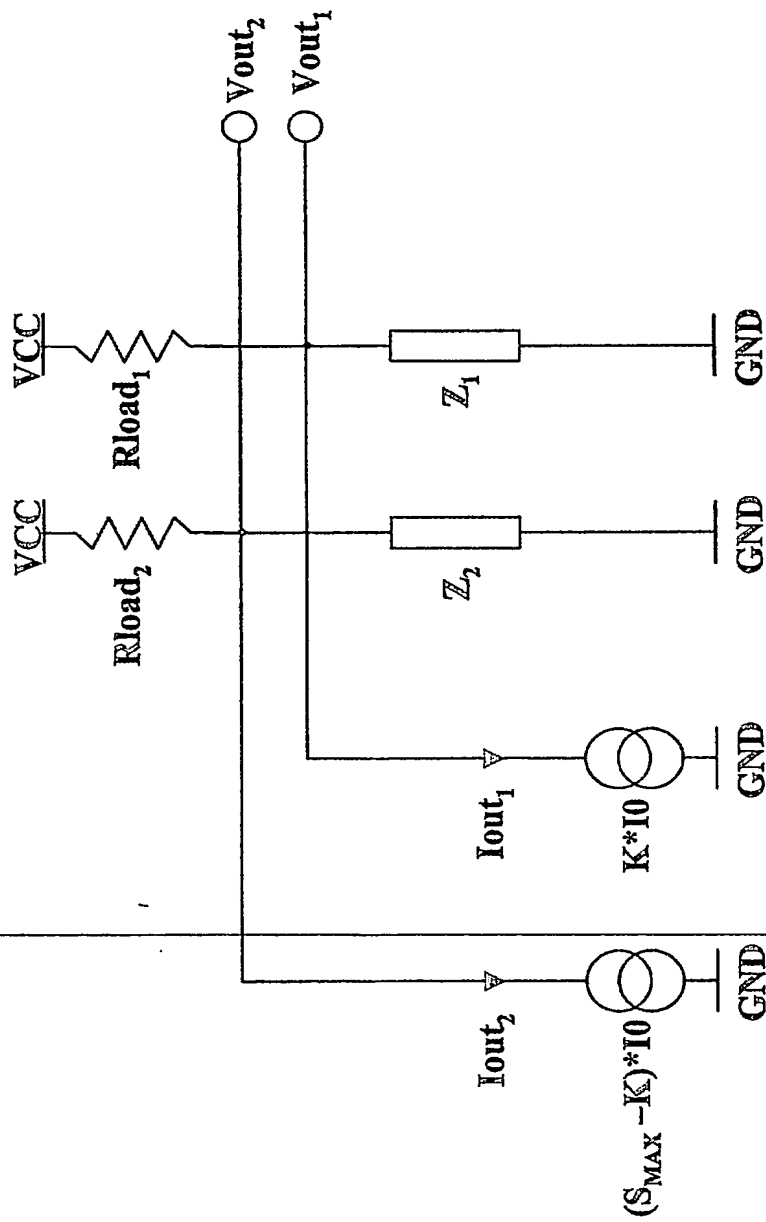
FIG.3



# 4. G. H. F.



FIG. 5



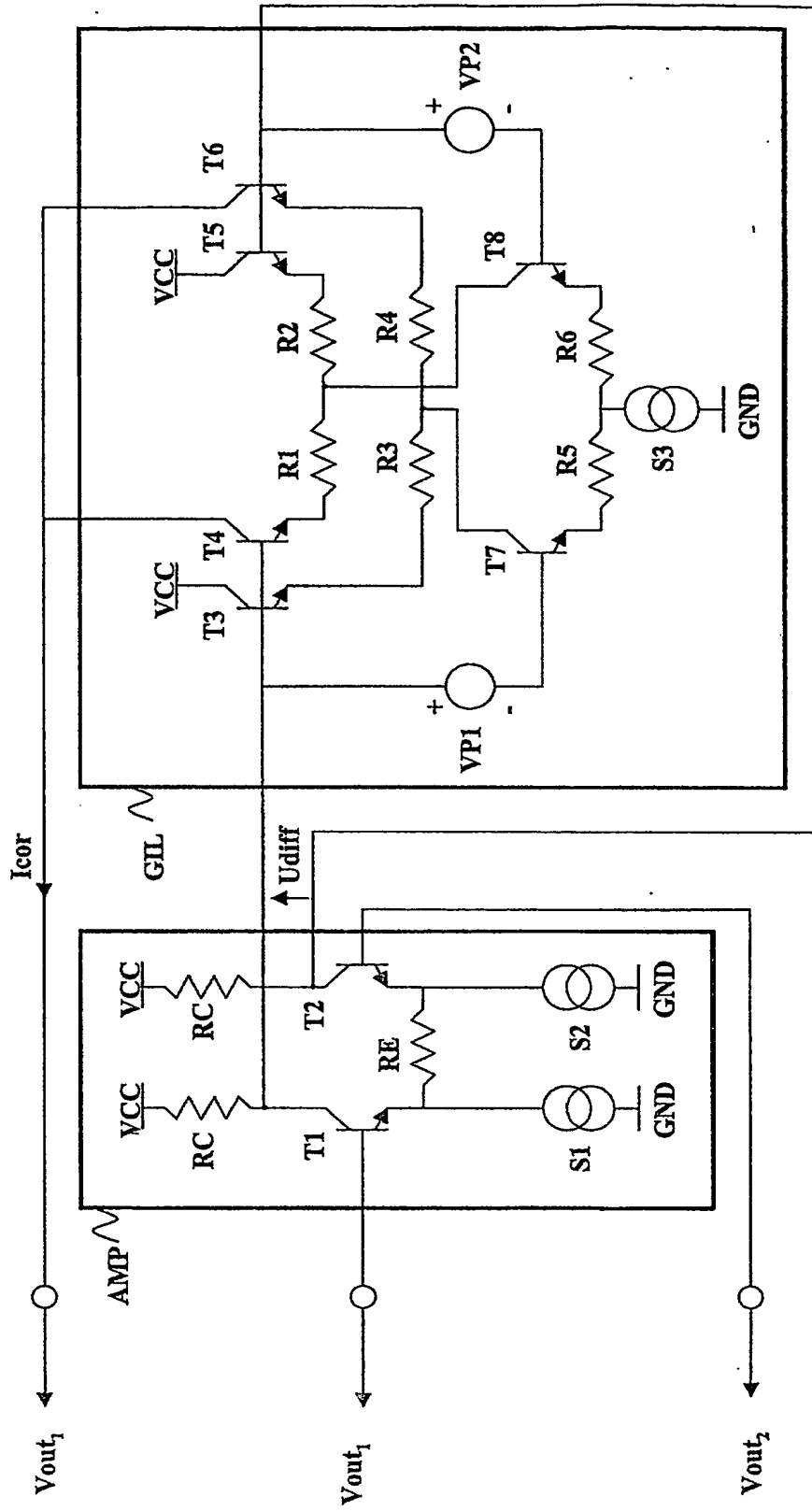


FIG.6



Fig.

DÉPARTEMENT DES BREVETS

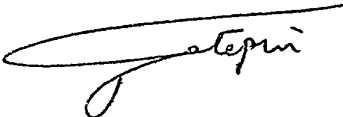
26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

DÉSIGNATION D'INVENTEUR(S) Page N° 1.. / 1..  
(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

08 113 V / 260899

Vos références pour ce dossier (facultatif)		PHFR020083	
N° D'ENREGISTREMENT NATIONAL		0209 448	
TITRE DE L'INVENTION (200 caractères ou espaces maximum) Convertisseur numérique-analogique comprenant des moyens pour améliorer la linéarité de conversion.			
LE(S) DEMANDEUR(S) : KONINKLIJKE PHILIPS ELECTRONICS N.V.			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois Inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		GUYOT	
Prénoms		Benoit	
Adresse	Rue	156, Bd Haussmann	
	Code postal et ville	75008	PARIS
Société d'appartenance (facultatif)		Société Civile S.P.I.D.	
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) 31 Juillet 2002  P. GATEPIN Mandataire SPID 422-5/S008			

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.  
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**